



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder：

申請日：西元 2002 年 10 月 02 日
Application Date

申請案號：091122774
Application No.

申請人：威盛電子股份有限公司
Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2002 年 11 月 6 日
Issue Date

發文字號：09111021801
Serial No.

申請日期：	案號：
類別：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	防止多工選擇信號於進行選擇轉態時產生非預期輸出信號之方法及裝置
	英 文	Method and Device for Preventing from Unexpected Output Signal During Transistion Selection Status of Multiplexing Selection Signal
二、 發明人	姓 名 (中文)	1. 莊英朗
	姓 名 (英文)	1. Samuel Chuang
	國 籍	1. 中華民國
	住、居所	1. 北縣新店市中正路533號8樓 8Fl., No. 533, Jungjeng Rd., Shindian City, Taipei, Taiwan 231, R.O.C.
三、 申請人	姓 名 (名稱) (中文)	1. 威盛電子股份有限公司
	姓 名 (名稱) (英文)	1. VIA TECHNOLOGIES, INC.
	國 籍	1. 中華民國
	住、居所 (事務所)	1. 北縣新店市中正路533號8樓 8Fl., No. 533, Jungjeng Rd., Shindian City, Taipei, Taiwan 231, R.O.C.
	代表人 姓 名 (中文)	1. 王雪紅
	代表人 姓 名 (英文)	1. Cher Wang



四、中文發明摘要 (發明之名稱：防止多工選擇信號於進行選擇轉態時產生非預期輸出信號之方法及裝置)

本案係關於一種防止多工選擇信號於進行選擇轉態時產生非預期輸出信號之方法，係包括下列步驟：提供複數個信號源；安排該複數個信號源成為至少兩組信號源群組；以及因應一多工選擇信號，以自該至少兩組信號源群組中之一組特定信號源群組內，選擇並產生一多工輸出信號；其中，於該多工選擇信號處於一選擇轉態模式時，該特定信號源群組中之所有信號源，係皆已處於一禁止輸出模式，以防止產生非預期之該多工輸出信號；又，本案亦係關於一種防止多工選擇信號於進行選擇轉態時產生非預期輸出信號之裝置，係包括：一多重信號源產生裝置，係可因應一高頻信號，以產生輸出複數個信號源；一信號源輸出選擇裝置，具有至少兩組多工選擇電路，其係可藉由

英文發明摘要 (發明之名稱：Method and Device for Preventing from Unexpected Output Signal During Transistion Selection Status of Multiplexing Selection Signal)

A method for preventing from any unexpected output signal during a transistion selection status of a multiplexing selection signal. The method includes steps of providing a plurality of signal sources; dividing the plurality of signal sources into at least two groups; and selecting and generating a multiplexing output signal from a specific one of the at least two groups of signal sources in response to a multiplexing selection signal. When the muultiplexing selection signal is



四、中文發明摘要 (發明之名稱：防止多工選擇信號於進行選擇轉態時產生非預期輸出信號之方法及裝置)

該至少兩組多工選擇電路，以分別將該複數個信號源輸入其中，且該信號源輸出選擇裝置係可因應一多工選擇信號，以自該至少兩組多工選擇電路中之一組特定多工選擇電路，選擇並產生一多工輸出信號；以及一多工選擇信號產生裝置，其係用以輸入一時脈信號與該複數個信號源，以產生輸出該多工選擇信號；藉由本案之方法與裝置，係可使運作於高頻環境中之該多工選擇電路，避免因該多工選擇信號之轉態動作之影響而產生錯誤之輸出信號。

英文發明摘要 (發明之名稱：Method and Device for Preventing from Unexpected Output Signal During Transistion Selection Status of Multiplexing Selection Signal)

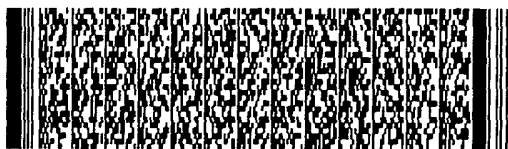
in a transistion selection status, all signal sources of the specific group of signal sources are in an output-disabled mode, so as to preventing from generating the unexpected multiplexing output signal. A device for preventing from any unexpected output signal during a transistion selection status of a multiplexing selection signal is also disclosed. The device includes a signal source generator for outputting a plurality of signal sources in



四、中文發明摘要 (發明之名稱：防止多工選擇信號於進行選擇轉態時產生非預期輸出信號方法及裝置)

英文發明摘要 (發明之名稱：Method and Device for Preventing from Unexpected Output Signal During Transistion Selection Status of Multiplexing Selection Signal)

response to a high-frequency signal; a signal source selecting device having at least two sets of multiplexing circuit for receiving the plurality of signal sources, and selecting and generating a multiplexing output signal from one of the two sets of multiplexing circuit in response to a multiplexing selection signal; and a multiplexing selection signal generator generating the multiplexing selection signal in response to a clock signal and the plurality of signal sources.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明 (1)

發明領域：

本案係關於一種以多工選擇信號選擇並產生輸出信號之方法與裝置，尤指一種於高頻運作環境中，防止多工選擇信號於進行選擇轉態時產生非預期輸出信號之方法及裝置。

發明背景：

隨著微處理器之運作速度越來越快，其在設計方面所帶來的問題亦越來越多；其中，如何避免因多工選擇信號之轉態動作而影響到輸出信號之正確性，即是目前重要的待解決課題。

為清楚說明習知多工器配合多工選擇信號之運作狀況，現茲以 4×1 之習知多工器（包括有四個輸入信號端、可輸入兩位元之多工選擇信號端與一個輸出信號端）為例，作一說明如后。請參閱第一圖(a)、(b)，其係分別為習知 4×1 多工器之運作功能圖以及內部結構示意圖。於圖一(a)中，一 4×1 之多工器M係用以輸入一第一至第四信號源P1~P4，且因應一多工選擇信號E，以自該第一至第四信號源P1~P4中選擇一個信號源，作為輸出圖一(a)中所示之多工輸出信號O。其中，該第一至第四信號源P1~P4係可為由輸入一高頻信號之鎖相迴路(Phase-Locked Loop, PLL)裝置（因其為習知技術，故圖未出）所產生之複數個鎖

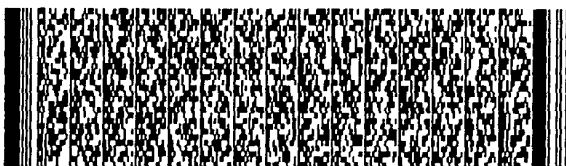


五、發明說明 (2)

相迴路信號，且，該第一至第四信號源P1~P4之信號波形即如於圖二中所示般，該任兩相鄰信號源中，前一個信號源係領先相鄰之後一個信號源一個時脈週期。

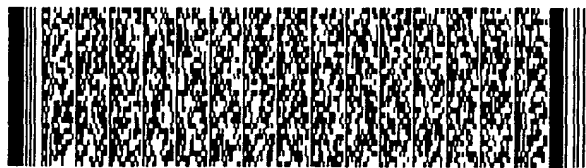
再請參閱圖一(b)，即該多工器M通常係由一解碼器M0、一第一至第四及閘M1~M4與一或閘M5所組成。該解碼器M0於輸入該多工選擇信號E後，係可產生四個解碼信號：一第一至第四解碼信號E1~E4，並分別予以輸出至該第一至第四及閘M1~M4處。由於每次僅能允許該第一至第四解碼信號E1~E4中之一個解碼信號處於一允許輸出狀態(以圖一(b)為例，係為一高電準位狀態)，俾自該第一至第四信號源P1~P4中選擇一個信號源輸出；至於其餘的三個解碼信號，則係皆處於一禁止輸出狀態(以圖一(b)為例，係為一低電準位狀態)，以禁止另外三個信號源輸出。之後，並由該或閘M5將該第一至第四及閘M1~M4遂行及閘邏輯運算後之運算結果，再予以遂行一或閘邏輯運算，俾產生出該多工輸出信號O。基此，一旦輸入具不同位元組合之該多工選擇信號E，即可自該第一至第四信號源P1~P4中選擇不同的信號源輸出。

習知直接自該多工器M中選擇不同輸入信號源輸出之做法，其缺失在於：一旦連續輸入之該多工選擇信號E，且前一次欲選擇輸出之信號源與後一次欲選擇輸出之信號源為不相同時，於該多工選擇信號E進行轉態動作之過程，即會影響到該多工輸出信號O而產生出錯誤或非預期之波形信號。



五、發明說明 (3)

申言之，請參閱第二圖，其係為於輸入不同位元組合之該多工選擇信號E時，與其相關信號間之波形比較示意圖。於圖二中(並請配合參閱第一圖(b)所示者)，該多工選擇信號E之位元組合如係為欲於時間 $t_1 \sim t_6$ 之間選擇該第一信號源P1輸出，顯然於時間 $t_1 \sim t_6$ 之間，第一圖(b)中之該第一解碼信號E1亦必須處於高電準位狀態，且該第二至第四解碼信號E2~E4必須處於低電準位狀態，該多工輸出信號O於時間 $t_1 \sim t_6$ 之間，方可輸出該第一信號源P1之波形。惟，一旦該多工選擇信號E於時間 t_6 進入一轉態模式而欲改為選擇該第三信號源P3輸出時，理論上，該多工輸出信號O應自時間 t_6 開始，即輸出該第三信號源P3之波形(高電準位狀態)。亦即，於時間 $t_1 \sim t_{11}$ 此一段時間內，因連續輸入具不同位元組合之該多工選擇信號E，故該多工輸出信號O於時間 $t_1 \sim t_{11}$ 之間亦應一直處於高電準位狀態，方屬正確之輸出。然習知實際之選擇轉態動作，往往非如預期般運作，亦即，該第一解碼信號E1有可能提早在時間 t_6 ，便由高電準位狀態轉成低電準位狀態，且該第三解碼信號E3遲至時間 t_7 才由低電準位狀態轉成高電準位狀態，此等不同步的現象，將導致該多工輸出信號O於時間 t_6 出現由高電準位狀態轉成低電準位狀態，且直至時間 t_7 開始才又轉回到正常的高電準位狀態之電準位變化。是以，圖二中該多工輸出信號O內標示X1(於時間 $t_6 \sim t_7$ 之間)處之波形變化即屬非預期的波形，且極可能使得欲利用該多工輸出信號O之裝置或電路發生誤動作。



五、發明說明 (4)

為改善上述習知做法缺失，吾人以為如能將該多工選擇信號E之轉態動作改換至該第一至第四信號源P1~P4皆處於一禁止輸出狀態(以圖一(b)為例，係為一低電準位狀態)時方予進行之，則應不會影響到該多工輸出信號O處之波形變化。舉例而言，如該多工選擇信號E於時間t14進入另一轉態模式而欲自原本選擇的該第三信號源P3改為選擇該第二信號源P2輸出時，雖然於實際實施過程中，亦有可能出現該第三解碼信號E3提早在時間t14，便由高電準位狀態轉成低電準位狀態，且該第二解碼信號E2遲至時間t15才由低電準位狀態轉成高電準位狀態之情形，然，因此時該第一至第四信號源P1~P4皆係處於低電準位狀態，故該第一至第四及閘M1~M4亦皆將因而被禁能掉，故不論此時該第一至第四解碼信號E1~E4之電準位如何變化，顯皆不會影響到該多工輸出信號O處之波形變化，且，該多工輸出信號O於時間t19處，方開始輸出該第二信號源P2。是以，圖二中標示X2所示者(時間t14~t15之間)，即未出現如前述習知技術所示之非預期或錯誤之信號波形。

本案之主要目的，即係提供一種於高頻之運作環境中，可防止多工選擇信號於進行選擇轉態時產生非預期輸出信號之方法。

本案之另一目的，亦係提供一種於高頻之運作環境中，可防止多工選擇信號於進行選擇轉態時產生非預期輸出信號之裝置。



五、發明說明 (5)

發明概述：

本案係關於一種防止多工選擇信號於進行選擇轉態時產生非預期輸出信號之方法，係包括下列步驟：提供複數個信號源；安排該複數個信號源成為至少兩組信號源群組；以及因應一多工選擇信號，以自該至少兩組信號源群組中之一組特定信號源群組內，選擇並產生一多工輸出信號；其中，於該多工選擇信號處於一選擇轉態模式時，該特定信號源群組中之所有信號源，係皆已處於一禁止輸出模式，以防止產生非預期之該多工輸出信號。

依據本案上述之構想，其中該複數個信號源係可由一高頻信號所產生。

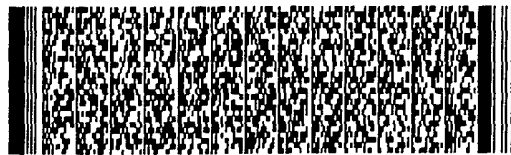
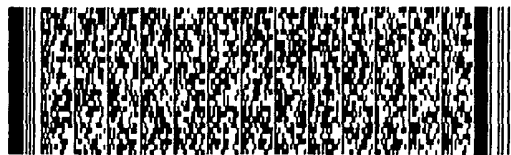
依據本案上述之構想，其中該複數個信號源係指由一輸入該高頻信號之鎖相迴路(Phase-Locked Loop, PLL)裝置所產生之複數個鎖相迴路信號。

依據本案上述之構想，其中該複數個信號源中之任兩相鄰信號源間係相差一個時脈(clock)週期。

依據本案上述之構想，其中於該任兩相鄰信號源中，前一個信號源係領先相鄰之後一個信號源一個時脈週期。

依據本案上述之構想，其中於該任兩相鄰信號源中，前一個信號源係落後相鄰之後一個信號源一個時脈週期。

依據本案上述之構想，其中該複數個信號源之信號源數量係為自其所區分出之該至少兩組信號源群組中任一組



五、發明說明 (6)

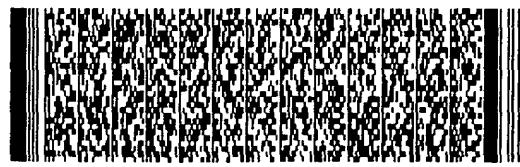
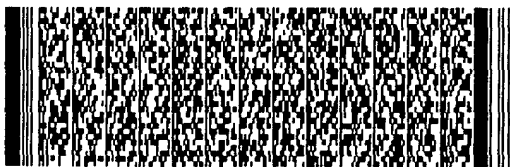
信號源群組之信號源數量的整數倍。

依據本案上述之構想，其中該複數個信號源之信號源數量係為自其所區分出之該至少兩組信號源群組中任一組信號源群組之信號源數量的4倍。

依據本案上述之構想，其中該多工選擇信號之選擇轉態模式係可因應皆已處於該禁止輸出模式之該特定信號源群組中之所有信號源而產生。

依據本案上述之構想，其中該禁止輸出模式係可為一低電準位狀態。

本案亦係關於一種防止多工選擇信號於進行選擇轉態時產生非預期輸出信號之裝置，係包括：一多重信號源產生裝置，係可因應一高頻信號，以產生輸出複數個信號源；一信號源輸出選擇電路，且電連接於該多重信號源，且置係可藉由該至少兩組多工選擇電路，以分別將該複數個信號源輸入其中，且該至少兩組多工選擇電路中之一組，特於該多工選擇信號處於一選擇轉態時，該組禁止輸出；其中，多工選擇信號，係皆已處於一禁止輸出模式，信源脈信號產生裝置，該多工選擇信號，以產生輸出該多工選擇信號。



五、發明說明 (7)

依據本案上述之構想，其中該多重信號源產生裝置係可為一鎖相迴路(Phase-Locked Loop, PLL)裝置。

依據本案上述之構想，其中該複數個信號源中之任兩相鄰信號源間係相差一個時脈(clock)週期。

依據本案上述之構想，其中該時脈信號係為預設之一時脈計數值。

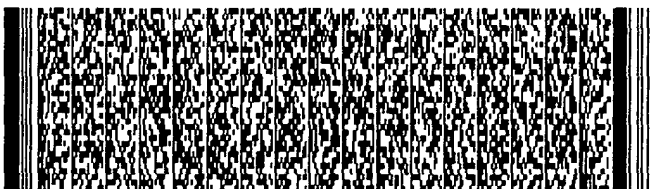
依據本案上述之構想，其中該信號源輸出選擇裝置係可包括有一第一至第四多工選擇電路，且任一多工選擇電路係用以分別輸入該複數個信號源中分屬不同部分之四分之一信號源。

依據本案上述之構想，其中該多工選擇信號係包括有一第一至第四多工選擇信號，以分別控制該四個多工選擇電路各自進行多工選擇動作，並產生一第一至第四多工輸出信號。

依據本案上述之構想，其中該信號源輸出選擇裝置係更可包括一多工信號合成輸出電路，電連接於該第一至第四多工選擇電路，以輸入該第一至第四多工輸出信號，並予以合成產生該多工輸出信號。

依據本案上述之構想，其中該多工信號合成輸出電路係可包括一或閘(OR gate)，以使該第一至第四多工輸出信號遂行一或閘邏輯運算。

依據本案上述之構想，其中該多工選擇信號產生裝置係可包括：一多工選擇信號解碼電路，其係可輸入並因應該時脈信號，以產生一第一至第四解碼信號；一第一至第



五、發明說明 (8)

四運算電路，電連接於該多工選擇信號解碼電路，以分別輸入該第一至第四解碼信號與各自輸入該複數個信號源中分屬不同部分之四分之一信號源，且因應產生一第一至第四輸出控制信號；以及一第一至第四輸出電路，皆電連接於該多工選擇信號解碼電路以及分別電連接於該第一至第四運算電路，該第一至第四輸出電路係可分別輸入並因應該時脈信號、該第一至第四解碼信號與該第一至第四輸出控制信號，以分別產生該第一至第四多工選擇信號輸出。

依據本案上述之構想，其中該第一至第四運算電路係皆可為一或閘(OR gate)，以各自將輸入其中之四分之一信號源予以遂行一或閘邏輯運算，並分別得致該第一至第四輸出控制信號。

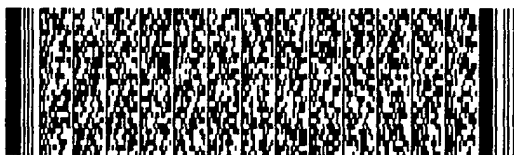
依據本案上述之構想，其中該第一至第四輸出電路係皆可為一透通型電門(Transparent Latch)。

依據本案上述之構想，其中該多工選擇信號之選擇轉態模式係可因應皆已處於該禁止輸出模式之該組特定多工選擇電路中所有輸入之信號源而產生。

依據本案上述之構想，其中該禁止輸出模式係可為一低電準位狀態。

本案得藉由下列圖式及詳細說明，俾得一更深入之了解：

圖式簡單說明：



五、發明說明 (9)

第一圖(a)、(b)：其係分別為習知4*1多工器之運作功能圖以及內部結構示意圖。

第二圖：其係為圖一中之多工器於輸入不同位元組合之多工選擇信號時，與其相關信號間之波形比較示意圖。

第三圖：其係為本案之一較佳實施方法之流程示例圖。

第四圖：其係為本案之一較佳實施裝置之結構示例圖。

第五圖：其係為本案較佳實施裝置中之信號源輸出選擇裝置之內部結構示例圖。

第六圖：其係為該信號源輸出選擇裝置中之多工選擇信號產生裝置之內部結構示例圖。

圖式中所包含之各元件列示如下：

第一圖～第二圖：

4*1多工器 M

解碼器 M0

第一至第四及開 M1～M4 或開 M5

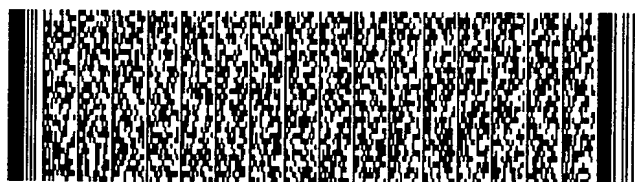
多工選擇信號 E 多工輸出信號 O

第一至第四個信號源 P1～P4

第一至第四解碼信號 E1～E4

時間t6～t7處之波形變化 X1

時間t14～t15處之波形變化 X2



五、發明說明 (10)

第三圖～第六圖：

32 個信號源 S0 ~ S31

本案之較佳實施裝置 40

多重信號源產生裝置 41

信號源輸出選擇裝置 42

第一至第四多工選擇電路 421 ~ 424

多工信號合成輸出電路 425

多工選擇信號產生裝置 43

多工選擇信號解碼電路 431

第一至第四運算電路 432 ~ 435

第一至第四輸出電路 436 ~ 439

較佳實施例說明：

為更進一步揭示本案之實施方法，請參閱第三圖，其係為本案之一較佳實施方法之流程示例圖。其詳細步驟如下所述：

步驟(a)：開始。

步驟(b)：提供由一高頻信號所產生之複數個信號源；其中，任兩相鄰之信號源間係相差一個時脈(clock)週期，且於任兩相鄰之信號源中，前一個信號源係領先相鄰之後一個信號源一個時脈週期。當然，於任兩相鄰之信



五、發明說明 (11)

號源中，前一個信號源亦可落後相鄰之後一個信號源一個時脈週期。另外，該複數個信號源係可指由一輸入該高頻信號之鎖相迴路(Phase-Locked Loop, PLL)裝置所產生之複數個鎖相迴路信號。

步驟(c)：安排該複數個信號源成為至少兩組信號源群組；其中，為使於進行選擇信號源輸出時，避免選擇動作所產生之選擇轉態，會影響到一多工輸出信號之電準位，一較佳做法，係將該複數個信號源分別予以區分成至少有兩組以上的信號源群組，例如，予以區分成四組信號源群組，且該複數個信號源之信號源數量係為自其所區分出之該至少兩組信號源群組中任一組信號源群組之信號源數量的4倍。

步驟(d)：因應一多工選擇信號，以自該至少兩組信號源群組中之一組特定信號源群組內，選擇並產生該多工輸出信號；其中，於該多工選擇信號處於一選擇轉態模式時，該特定信號源群組中之所有信號源，係皆已處於一禁止輸出模式(例如，皆處於相同之低電準位狀態)，以防止產生非預期之該多工輸出信號。如此一來，於該特定信號源群組進行選擇信號源輸出之選擇動作時，將可保證避免該選擇動作所產生之選擇轉態，會影響到該多工輸出信號之電準位。



五、發明說明 (12)

步驟(e)：結束。

當然，為以另一角度來理解本案之實施概念，請參閱第四圖，其係為本案之一較佳實施裝置之結構示例圖。於圖四中，本案防止多工選擇信號於進行選擇轉態時產生非預期輸出信號之裝置40係可包括：一多重信號源產生裝置41、一具有至少兩組多工選擇電路之信號源輸出選擇裝置42以及一多工選擇信號產生裝置43。其中，該多重信號源產生裝置41，係可因應一高頻信號，以產生輸出複數個信號源(例如，包括有第1個至第32個信號源S0~S31)，且，任兩相鄰之信號源間係相差一個時脈(clock)週期。又，一較佳之做法，該多重信號源產生裝置41係可為一鎖相迴路(Phase-Locked Loop, PLL)裝置，且該32個信號源S0~S31係為該鎖迴路裝置因應該高頻信號所產生之32個鎖相迴路信號。

另外，該具有至少兩組多工選擇電路之信號源輸出選擇裝置42，係電連接於該多重信號源產生裝置41，以輸入該32個信號源S0~S31，而該信號源輸出選擇裝置42則可因應所輸入之一多工選擇信號，以自該至少兩組多工選擇電路中之一組特定多工選擇電路，選擇並產生一多工輸出信號；其中，於該多工選擇信號處於一選擇轉態模式時，該組特定多工選擇電路中所有輸入之信號源，係皆已處於一禁止輸出模式(例如，皆處於相同之低電準位狀態)，以防止產生非預期之該多工輸出信號。



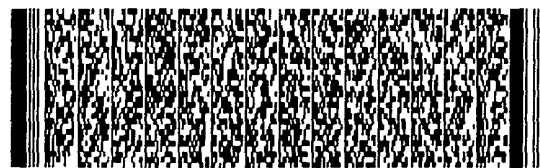
五、發明說明 (13)

再則，關於電連接於該多重信號源產生裝置41以及該信號源輸出選擇裝置42之該多工選擇信號產生裝置43，其係用以輸入一時脈信號與該複數個信號源S0～S31，以產生輸出該多工選擇信號；當然，該時脈信號係可為預設之一時脈計數值。

由於考量到該信號源輸出選擇裝置42於進行選擇適當的信號源，以供產生該多工輸出信號之用之選擇動作時，容易使該多工輸出信號產生如前述習知技術般之不正確的轉態變化，因此，該信號源輸出選擇裝置42之內部結構有必要予以特別的設計。以下，茲提出一種實施例以為說明。

請參閱第五圖，其係為本案較佳實施裝置40中之該信號源輸出選擇裝置42之內部結構示例圖。於圖五中，該信號源輸出選擇裝置42係可包括：一第一至第四多工選擇電路421～424與一多工信號合成輸出電路425。

以圖五所示之實施例而言，其中該第一至第四多工選擇電路421～424中之任一多工選擇電路係用以分別輸入該32個信號源S0～S31中之四分之一信號源。例如，該第一多工選擇電路421係用以輸入8個信號源S3～S28、該第二多工選擇電路422用以輸入8個信號源S27～S20、該第三多工選擇電路423係用以輸入8個信號源S19～S12、該第四多工選擇電路424則用以輸入8個信號源S11～S4。進一步而論，該第一至第四多工選擇電路421～424係用以因應自該多工選擇信號產生裝置43所產生該多工選擇信號，俾於同



五、發明說明 (14)

一時間內僅允許其中一個多工選擇電路產生輸出信號，是以，該第一至第四多工選擇電路421~424係可分別因應該多工選擇信號，而產生出該第一至第四多工輸出信號。

至於該多工信號合成輸出電路425，其則用以電連接於該第一至第四多工選擇電路421~424，以分別輸入該第一至第四多工輸出信號，並予以合成產生該多工輸出信號。一較佳做法，該多工信號合成輸出電路425係可包括一或閘(OR gate)，以分別使該第一至第四多工輸出信號直接遂行一或閘邏輯運算，並分別得致該多工輸出信號。

以下再進一步就該多工選擇信號產生裝置43之內部實施結構為一詳細說明。請參閱第六圖，其係為該多工選擇信號產生裝置43之內部較佳結構示例圖。於圖六中，該多工選擇信號產生裝置43係包括有：一多工選擇信號解碼電路431、一第一至第四運算電路432~435與一第一至第四輸出電路436~439。其中，該多工選擇信號解碼電路431係可輸入並因應該時脈信號，以產生一第一至第四解碼信號。

申言之，該第一至第四運算電路432~435係皆電連接於該多工選擇信號解碼電路431，以分別輸入該第一至第四解碼信號與各自輸入該32個信號源S0~S31中互不相同之四分之一信號源，並因應產生一第一至第四輸出控制信號。緊接著，該第一至第四輸出電路436~439亦係皆電連接於該多工選擇信號解碼電路431以及分別電連接於該第一至第四運算電路432~435，以使該第一至第四輸出電路



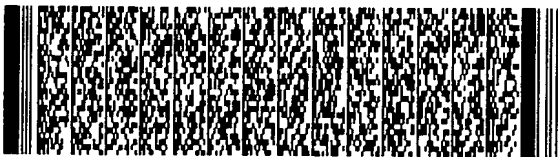
五、發明說明 (15)

436 ~ 439 係可分別輸入並因應該時脈信號、該第一至第四解碼信號與該第一至第四輸出控制信號，而分別產生一第一至第四多工選擇信號，並予以分別輸出至圖五所示之該第一至第四多工選擇電路421 ~ 424 中。當然，該第一至第四多工選擇信號於本實施例中亦可予以合併視為該多工選擇信號。

其中較佳之做法，該第一至第四運算電路432 ~ 435 係皆可為一或閘(OR gate)，以各自將輸入其中之四分之一信號源予以遂行一或閘邏輯運算，並分別得致該第一至第四輸出控制信號；至於該第一至第四輸出單元436 ~ 439，則皆可為一透通型電門(Transparent Latch)。

綜上所述，本案顯確實可於一高頻之運作環境中，防止該多工選擇信號於進行選擇轉態時，使該多工輸出信號產生出非預期之信號波形，俾解決習知技術之缺失，是以，本案應為一極具產業價值之作。

本案得由熟習此技藝之人士任施匠思而為諸般修飾，然皆不脫如附申請專利範圍所欲保護者。



圖式簡單說明

第一圖(a)、(b)：其係分別為習知4*1多工器之運作功能圖以及內部結構示意圖。

第二圖：其係為圖一中之多工器於輸入不同位元組合之多工選擇信號時，與其相關信號間之波形比較示意圖。

第三圖：其係為本案之一較佳實施方法之流程示例圖。

第四圖：其係為本案之一較佳實施裝置之結構示例圖。

第五圖：其係為本案較佳實施裝置中之信號源輸出選擇裝置之內部結構示例圖。

第六圖：其係為該信號源輸出選擇裝置中之多工選擇信號產生裝置之內部結構示例圖。



六、申請專利範圍

1、一種防止多工選擇信號於進行選擇轉態時產生非預期輸出信號之方法，係包括下列步驟：

提供複數個信號源；

安排該複數個信號源成為至少兩組信號源群組；以及因應一多工選擇信號，以自該至少兩組信號源群組中之一組特定信號源群組內，選擇並產生一多工輸出信號；其中，於該多工選擇信號處於一選擇轉態模式時，該特定信號源群組中之所有信號源，係皆已處於一禁止輸出模式，以防止產生非預期之該多工輸出信號。

2、如申請專利範圍第1項所述之防止多工選擇信號於進行選擇轉態時產生非預期輸出信號之方法，其中該複數個信號源係可由一高頻信號所產生。

3、如申請專利範圍第2項所述之防止多工選擇信號於進行選擇轉態時產生非預期輸出信號之方法，其中該複數個信號源係指由一輸入該高頻信號之鎖相迴路(Phase-Locked Loop, PLL)裝置所產生之複數個鎖相迴路信號。

4、如申請專利範圍第1項所述之防止多工選擇信號於進行選擇轉態時產生非預期輸出信號之方法，其中該複數個信號源中之任兩相鄰信號源間係相差一個時脈(clock)週期。

5、如申請專利範圍第4項所述之防止多工選擇信號於進行選擇轉態時產生非預期輸出信號之方法，其中於該任兩相鄰信號源中，前一個信號源係領先相鄰之後一個信號源一個時脈週期。



六、申請專利範圍

6、如申請專利範圍第4項所述之防止多工選擇信號於進行選擇轉態時產生非預期輸出信號之方法，其中於該任兩相鄰信號源中，前一個信號源係落後相鄰之後一個信號源一個時脈週期。

7、如申請專利範圍第1項所述之防止多工選擇信號於進行選擇轉態時產生非預期輸出信號之方法，其中該複數個信號源之信號源數量係為自其所區分出之該至少兩組信號源群組中任一組信號源群組之信號源數量的整數倍。

8、如申請專利範圍第7項所述之防止多工選擇信號於進行選擇轉態時產生非預期輸出信號之方法，其中該複數個信號源之信號源數量係為自其所區分出之該至少兩組信號源群組中任一組信號源群組之信號源數量的4倍。

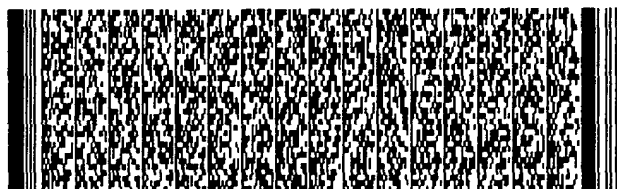
9、如申請專利範圍第1項所述之防止多工選擇信號於進行選擇轉態時產生非預期輸出信號之方法，其中該多工選擇信號之選擇轉態模式係可因應皆已處於該禁止輸出模式之該特定信號源群組中之所有信號源而產生。

10、如申請專利範圍第1項所述之防止多工選擇信號於進行選擇轉態時產生非預期輸出信號之方法，其中該禁止輸出模式係可為一低電準位狀態。

11、一種防止多工選擇信號於進行選擇轉態時產生非預期輸出信號之裝置，係可包括：

一多重信號源產生裝置，係可因應一高頻信號，以產生輸出複數個信號源；

一信號源輸出選擇裝置，具有至少兩組多工選擇電路



六、申請專利範圍

且電連接於該多重信號源產生裝置，該信號源輸出選擇裝置係可藉由該至少兩組多工選擇電路，以分別將該複數個信號源輸入其中，且該信號源輸出選擇裝置係可因應一多工選擇信號，以自該至少兩組多工選擇電路中之一組特於該多工選擇電路，選擇並產生一多工輸出信號；其中，於該多工選擇信號處於一選擇轉態模式時，該組特定多工輸出模式中所有輸入之信號源，係皆已處於一禁止輸出模式，以防止產生非預期之該多工輸出信號；以及

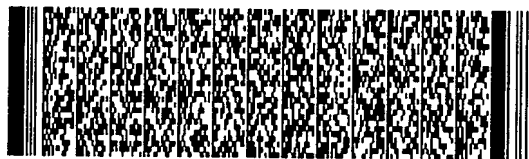
一多工選擇信號產生裝置，電連接於該多重信號源產生裝置與該信號源輸出選擇裝置，該多工選擇信號產生裝置係用以輸入一時脈信號與該複數個信號源，以產生輸出該多工選擇信號。

12、如申請專利範圍第11項所述之防止多工選擇信號於進行選擇轉態時產生非預期輸出信號之裝置，其中該多重信號源產生裝置係可為一鎖相迴路(Phase-Locked Loop, PLL)裝置。

13、如申請專利範圍第11項所述之防止多工選擇信號於進行選擇轉態時產生非預期輸出信號之裝置，其中該複數個信號源中之任兩相鄰信號源間係相差一個時脈(clock)週期。

14、如申請專利範圍第11項所述之防止多工選擇信號於進行選擇轉態時產生非預期輸出信號之裝置，其中該時脈信號係為預設之一時脈計數值。

15、如申請專利範圍第11項所述之防止多工選擇信號於進



六、申請專利範圍

行選擇轉態時產生非預期輸出信號之裝置，其中該信號源輸出選擇裝置係可包括有一分別輸入該複數個信號源中分屬不同部分之四分之一信號源。

16、如申請專利範圍第15項所述之防止多工選擇信號於進行選擇轉態時產生非預期輸出信號之裝置，其中該多工選擇信號係包括有一第一至第四多工選擇信號，以分別控制該四個多工選擇電路各自進行多工選擇動作，並產生一第一至第四多工輸出信號。

17、如申請專利範圍第16項所述之防止多工選擇信號於進行選擇轉態時產生非預期輸出信號之裝置，其中該信號源輸出選擇裝置係更可包括一多工信號合成輸出電路，電連接於該第一至第四多工輸出信號，並予以合成產生該多工輸出信號。

18、如申請專利範圍第17項所述之防止多工選擇信號於進行選擇轉態時產生非預期輸出信號之裝置，其中該多工信號合成輸出電路係可包括一或閘(OR gate)，以使該第一至第四多工輸出信號遂行一或閘邏輯運算。

19、如申請專利範圍第16項所述之防止多工選擇信號於進行選擇轉態時產生非預期輸出信號之裝置，其中該多工選擇信號產生裝置係可包括：

一多工選擇信號解碼電路，其係可輸入並因應該時脈信號，以產生一第一至第四解碼信號；

一第一至第四運算電路，電連接於該多工選擇信號解



六、申請專利範圍

碼電路，以分別輸入該第一至第四解碼信號與各自輸入該複數個信號源中分屬不同部分之四分之一信號源，且因應產生一第一至第四輸出控制信號；以及

一第一至第四輸出電路，皆電連接於該多工選擇信號解碼電路以及分別電連接於該第一至第四運算電路，該第一至第四輸出電路係可分別輸入並因應該時脈信號、該第一至第四解碼信號與該第一至第四輸出控制信號，以分別產生該第一至第四多工選擇信號輸出。

20、如申請專利範圍第19項所述之防止多工選擇信號於進行選擇轉態時產生非預期輸出信號之裝置，其中該第一至第四運算電路係皆可為一或閘(OR gate)，以各自將輸入其中之四分之一信號源予以遂行一或閘邏輯運算，並分別得致該第一至第四輸出控制信號。

21、如申請專利範圍第19項所述之防止多工選擇信號於進行選擇轉態時產生非預期輸出信號之裝置，其中該第一至第四輸出電路係皆可為一透通型電門(Transparent Latch)。

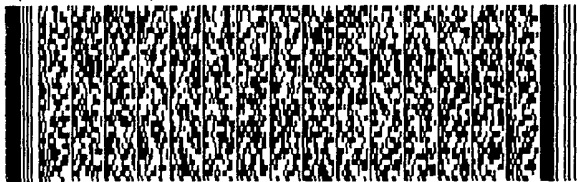
22、如申請專利範圍第11項所述之防止多工選擇信號於進行選擇轉態時產生非預期輸出信號之裝置，其中該多工選擇信號之選擇轉態模式係可因應皆已處於該禁止輸出模式之該組特定多工選擇電路中所有輸入之信號源而產生。

23、如申請專利範圍第11項所述之防止多工選擇信號於進行選擇轉態時產生非預期輸出信號之裝置，其中該禁止輸出模式係可為一低電準位狀態。

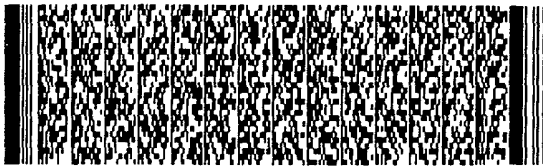


六、申請專利範圍

第 1/27 頁



第 2/27 頁



第 2/27 頁



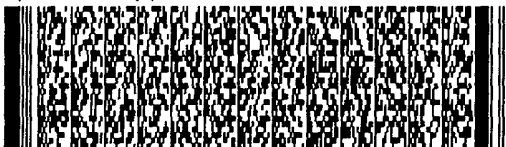
第 3/27 頁



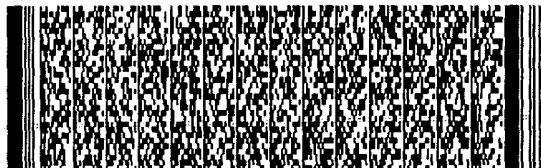
第 3/27 頁



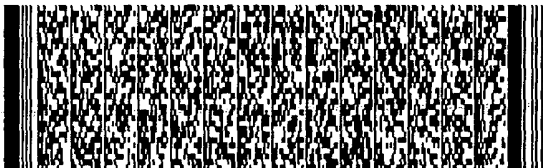
第 4/27 頁



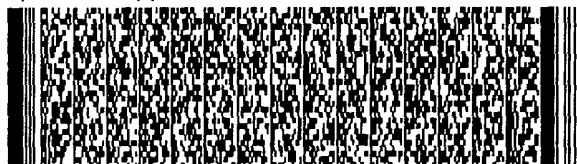
第 6/27 頁



第 6/27 頁



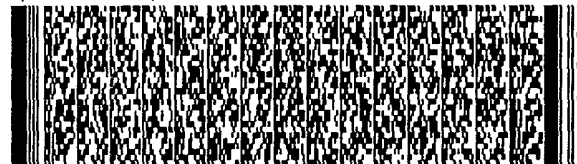
第 7/27 頁



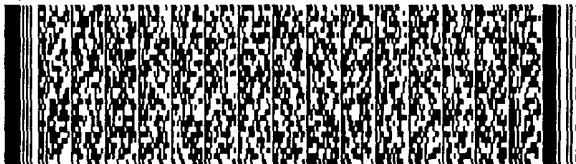
第 7/27 頁



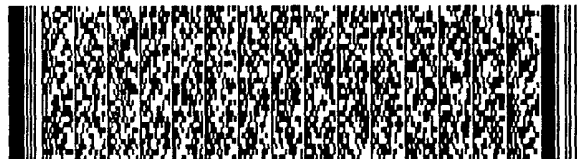
第 8/27 頁



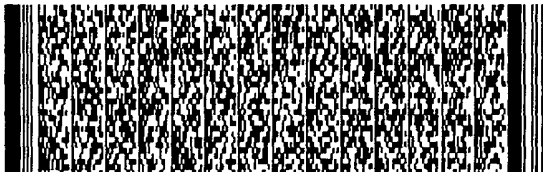
第 8/27 頁



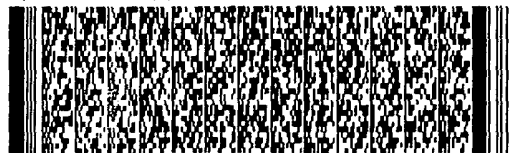
第 9/27 頁



第 9/27 頁



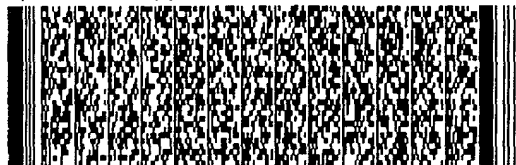
第 10/27 頁



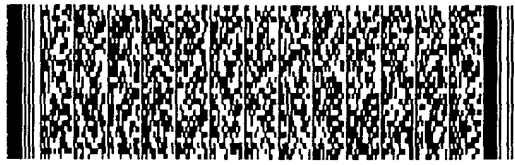
第 10/27 頁



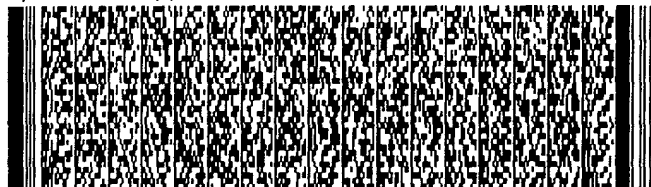
第 11/27 頁



第 11/27 頁



第 12/27 頁



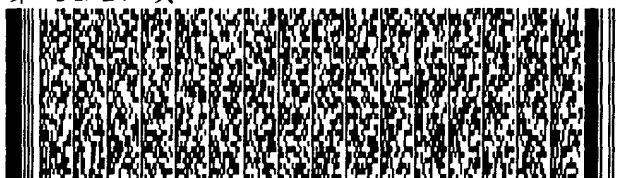
第 13/27 頁



第 13/27 頁



第 14/27 頁



第 15/27 頁



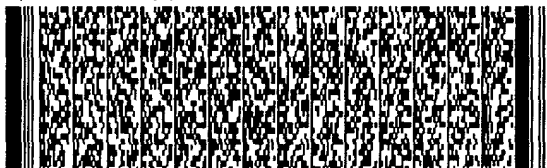
第 16/27 頁



第 16/27 頁



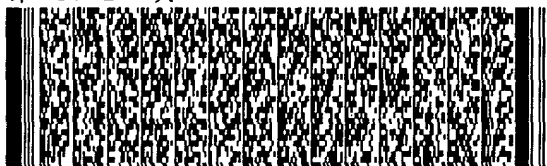
第 17/27 頁



第 17/27 頁



第 18/27 頁



第 18/27 頁



第 19/27 頁



第 19/27 頁



第 20/27 頁



第 20/27 頁



第 21/27 頁



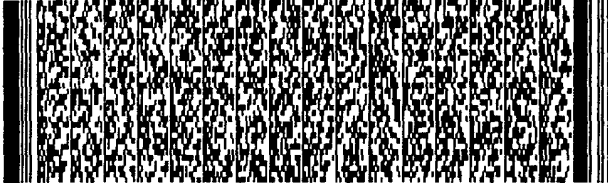
第 22/27 頁



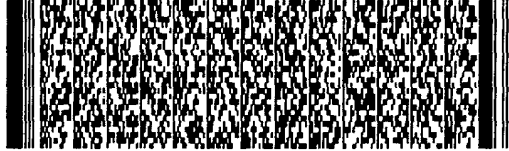
第 22/27 頁



第 23/27 頁



第 24/27 頁



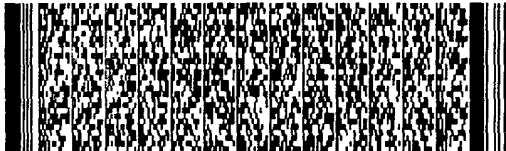
第 24/27 頁



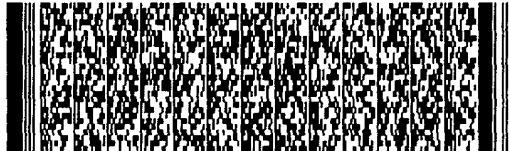
第 25/27 頁

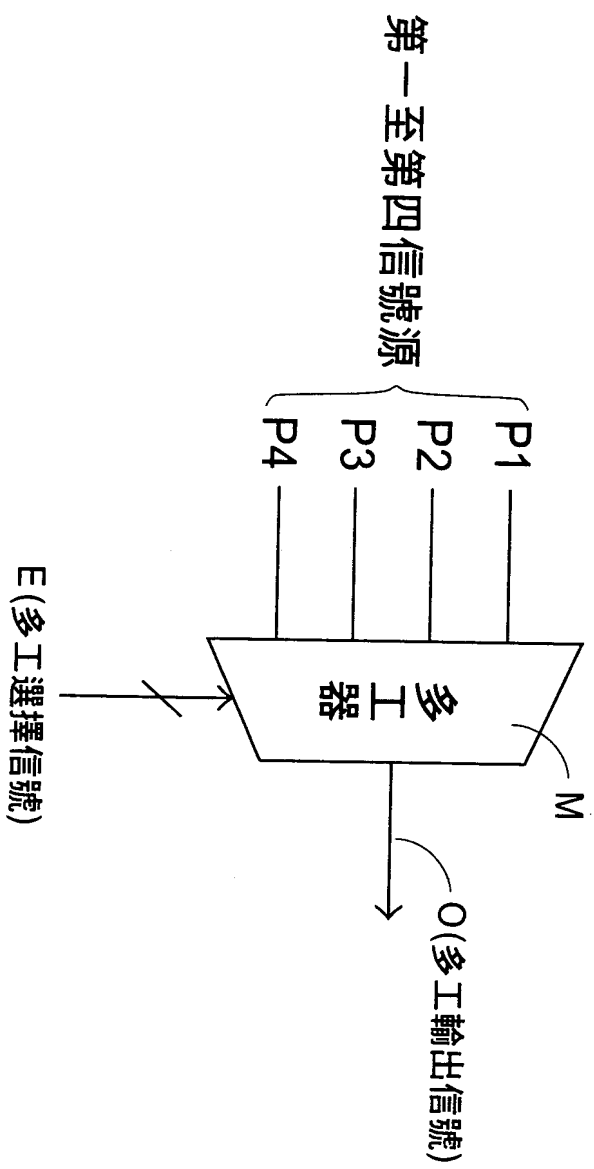


第 26/27 頁

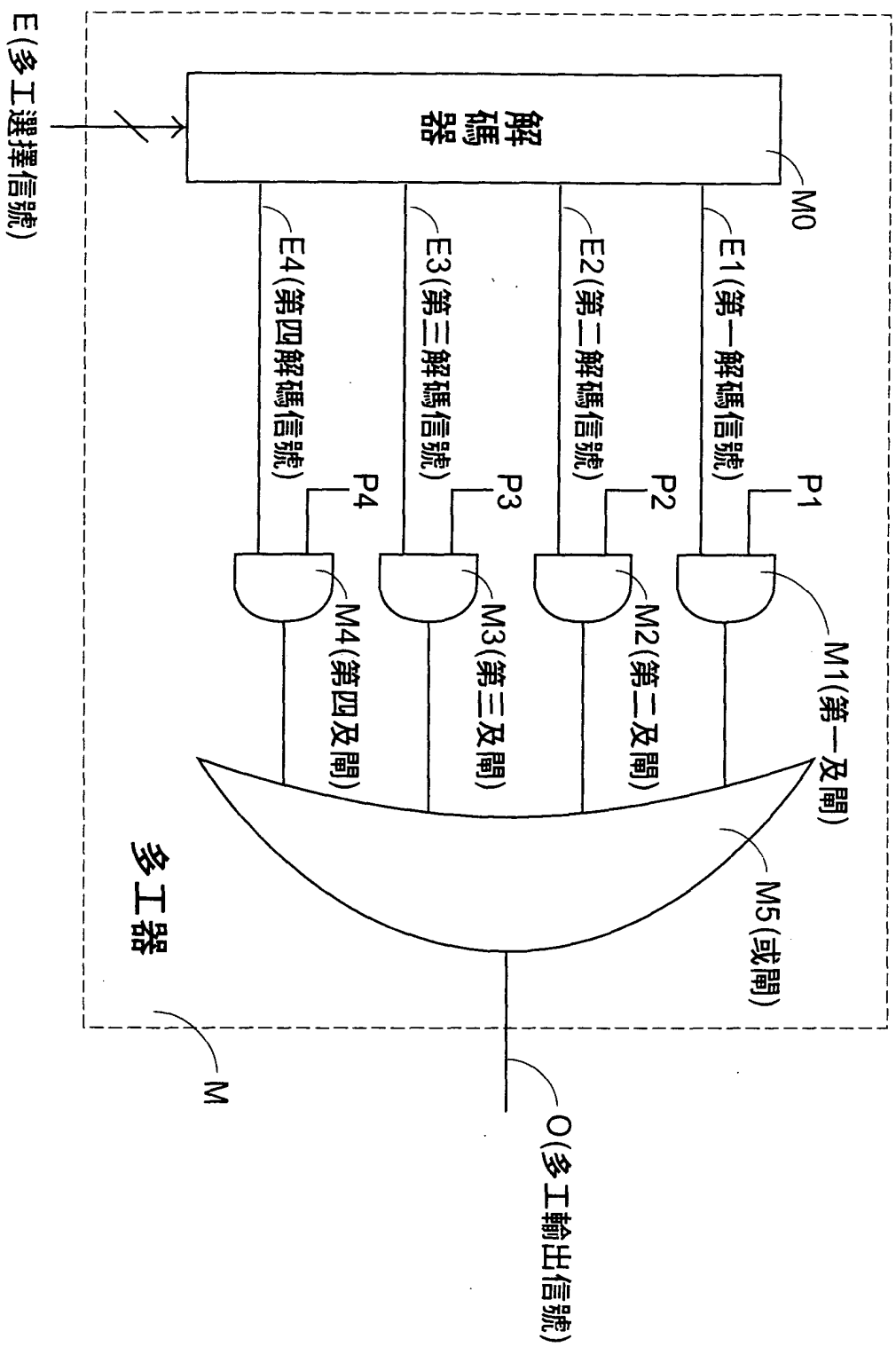


第 26/27 頁

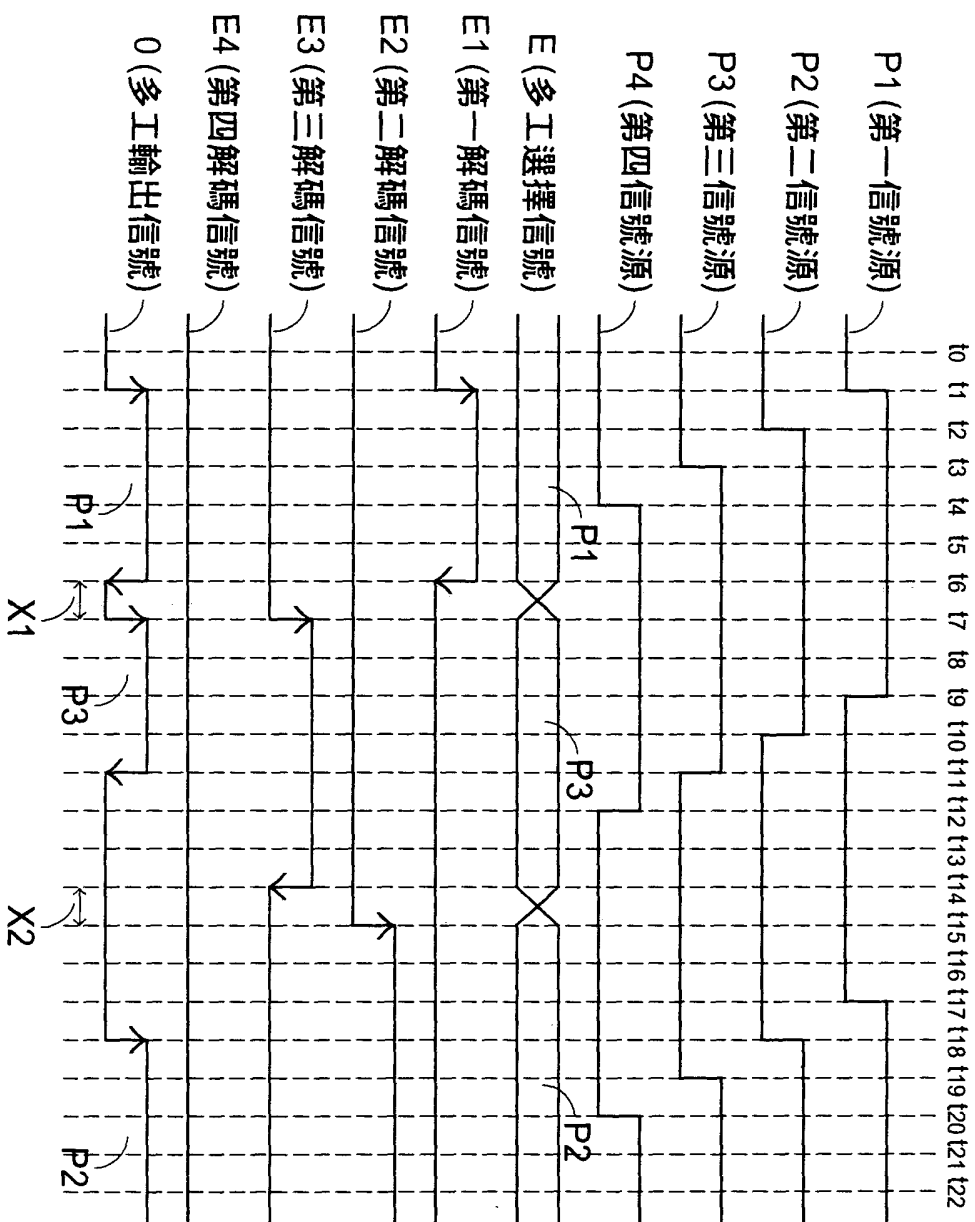




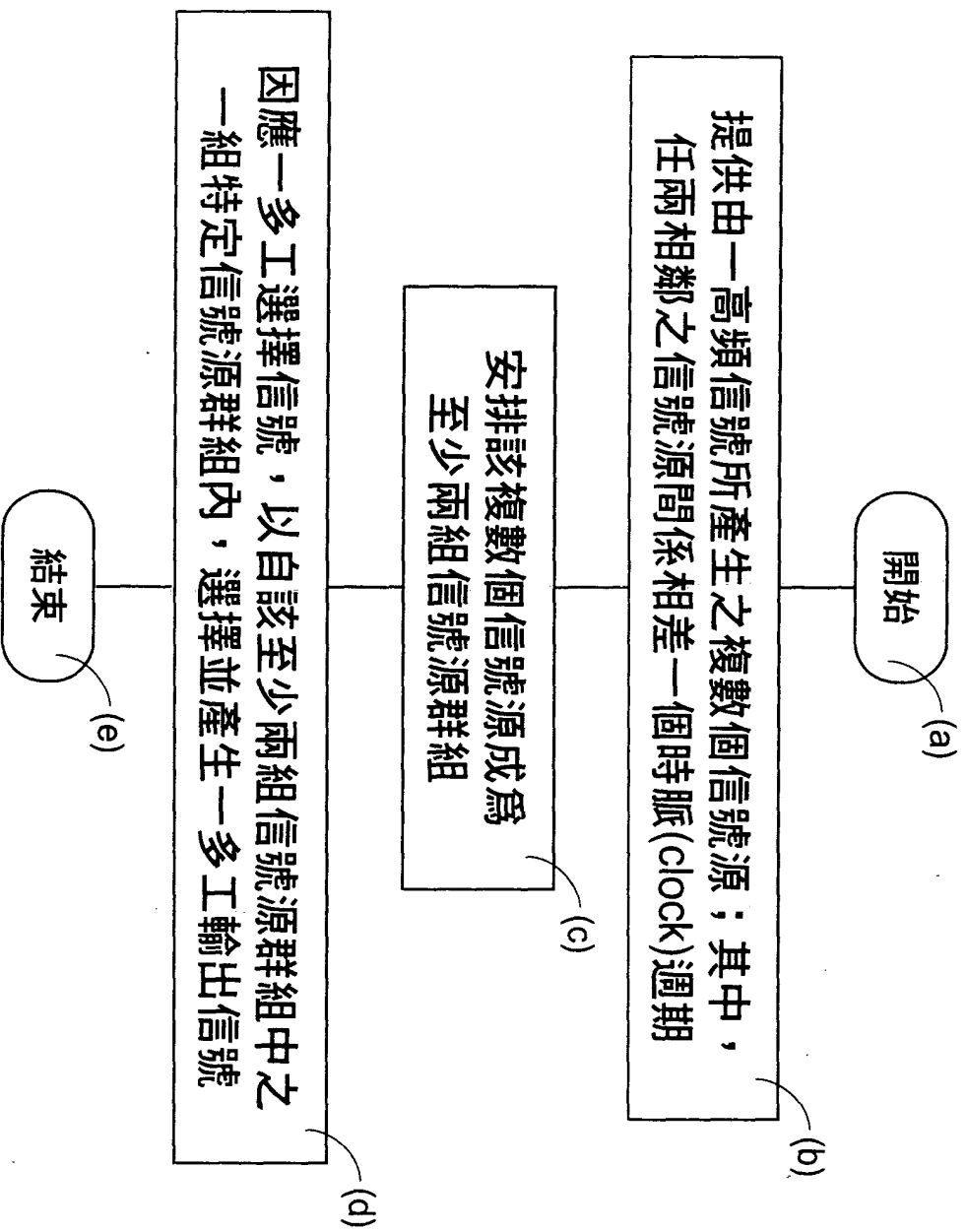
第一圖(a)



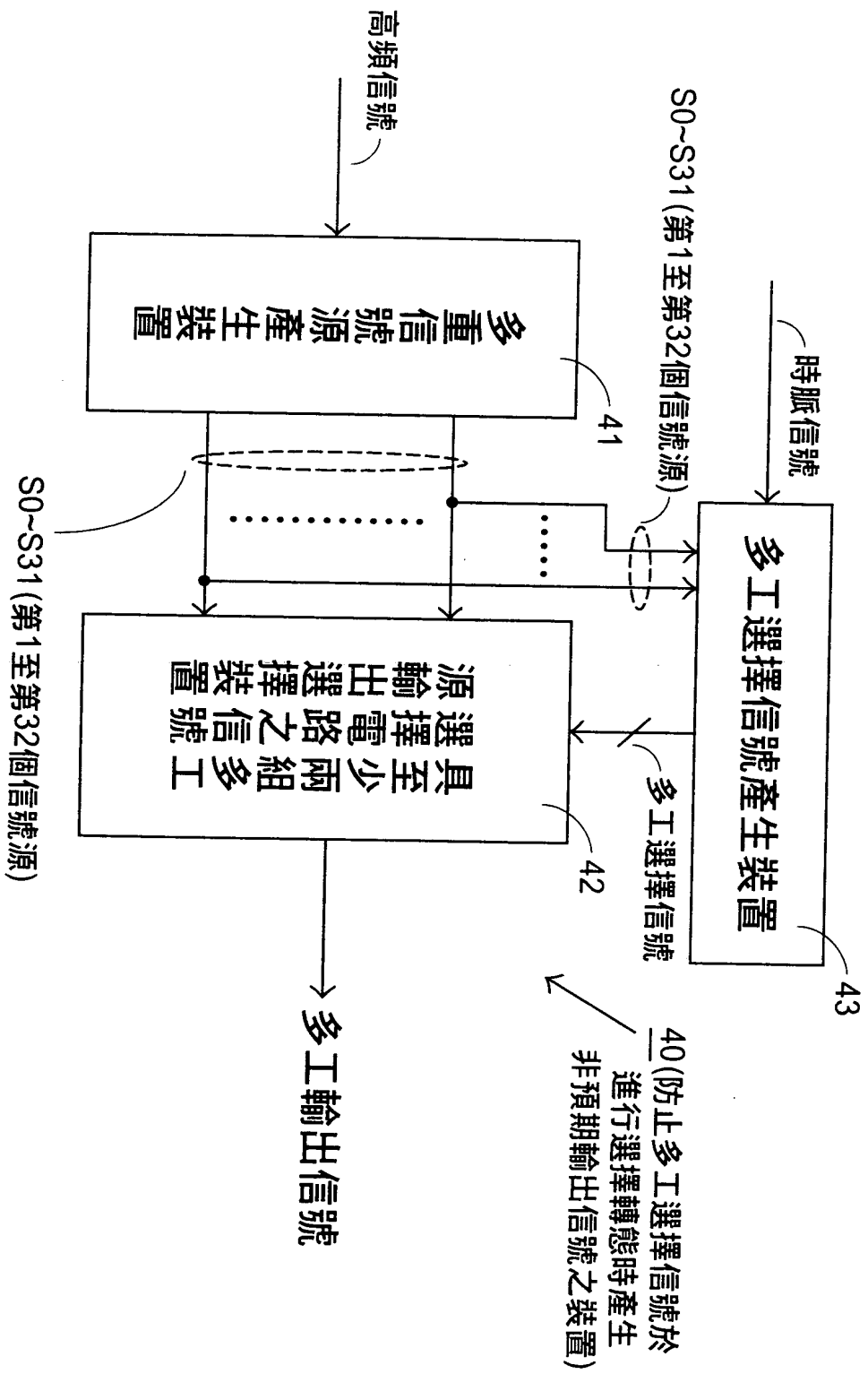
第一圖(b)



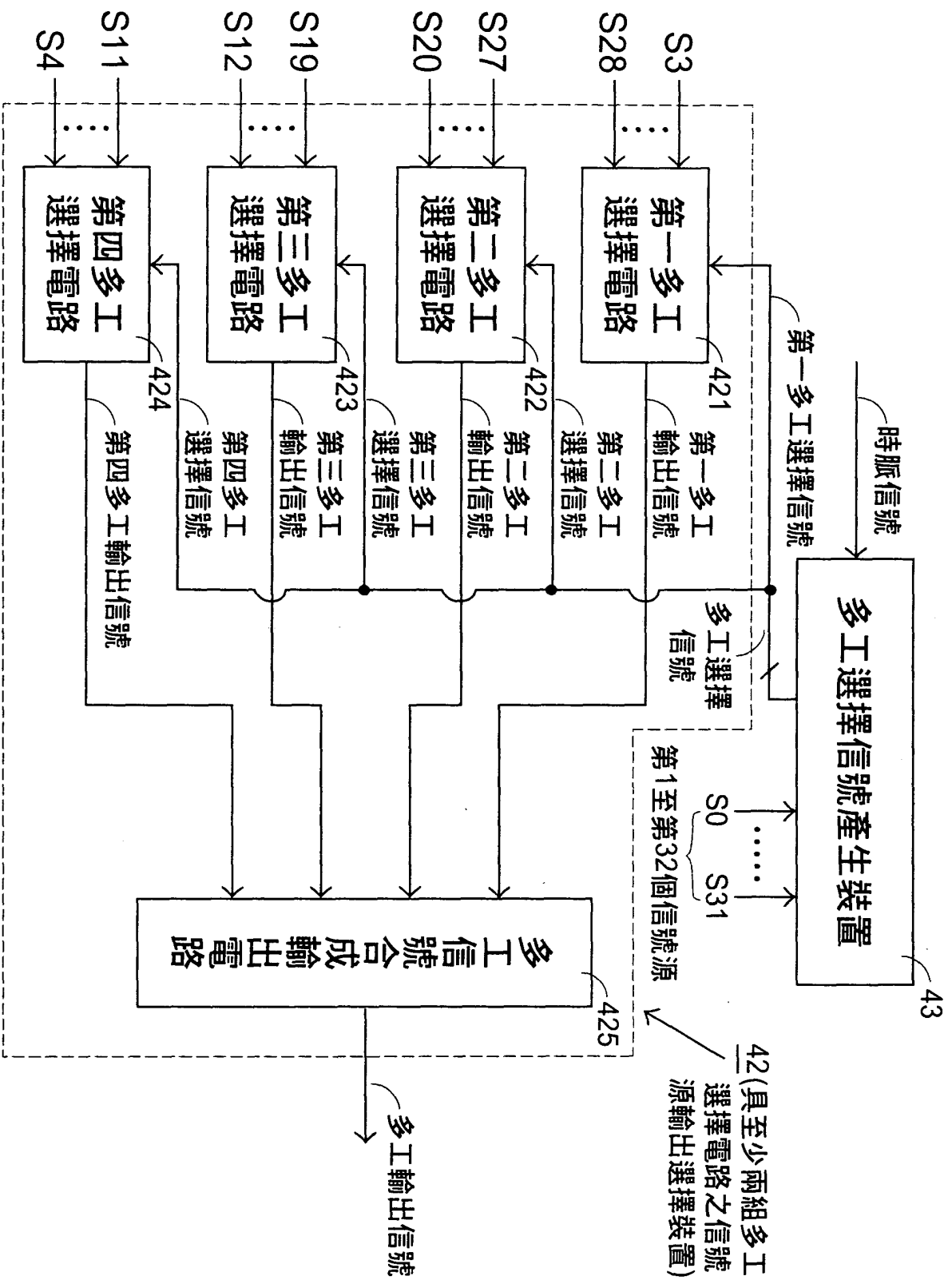
第二圖



第三圖

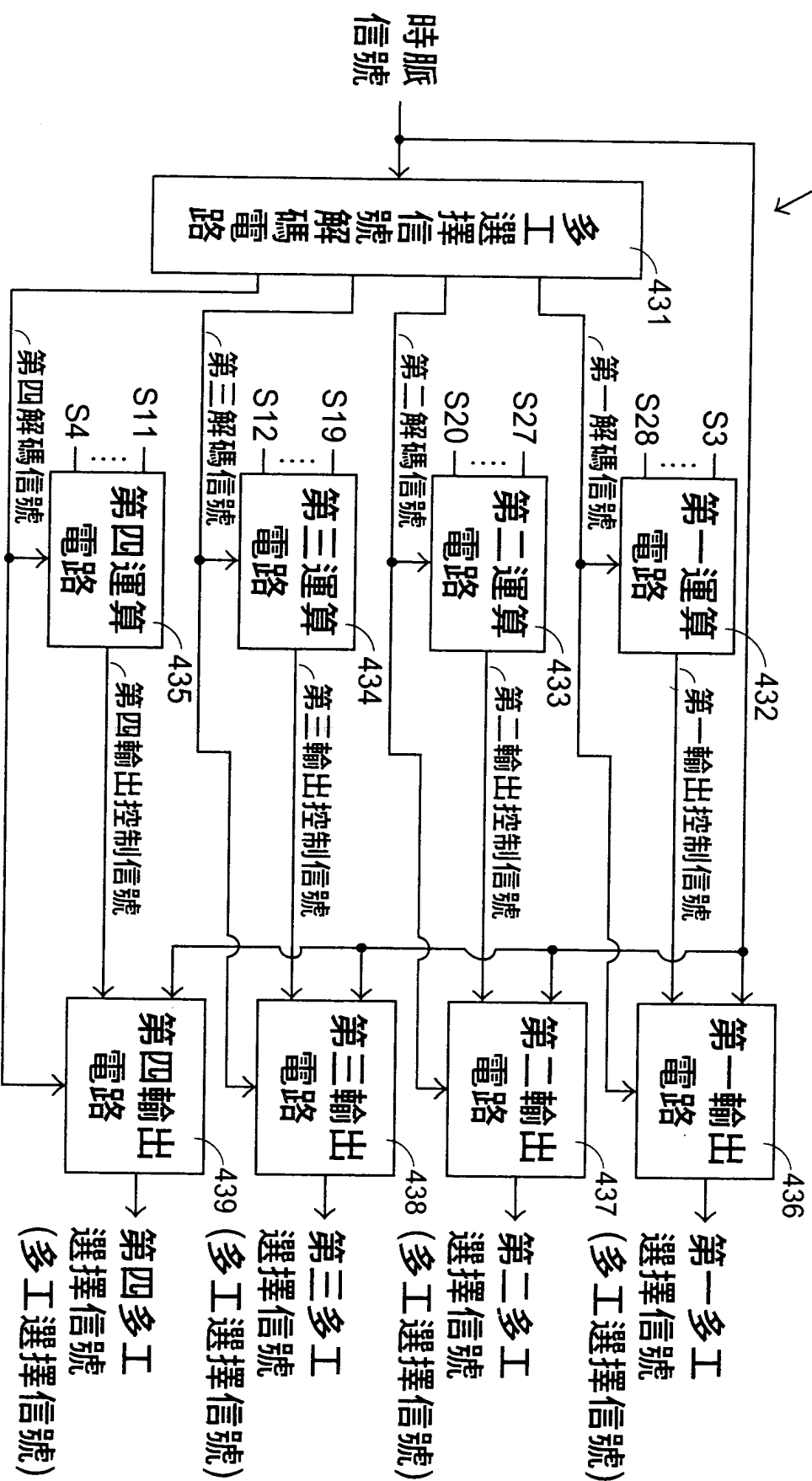


第四圖



第五圖

43 (多工選擇信號產生裝置)



第六圖